

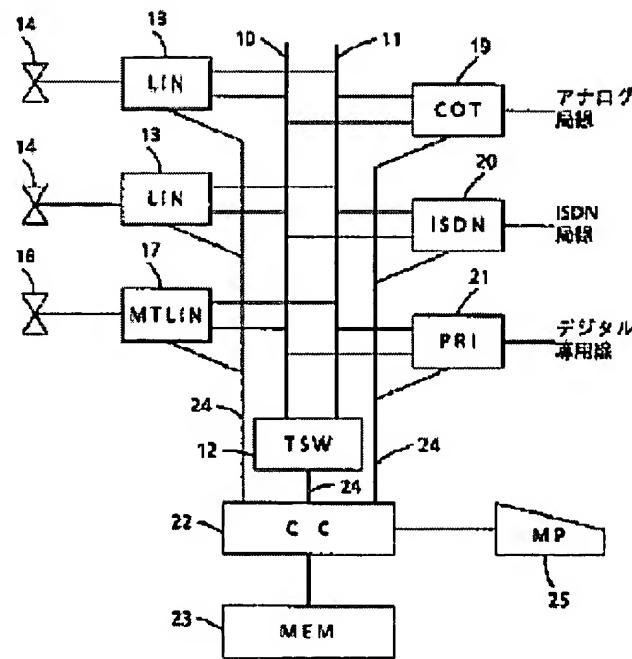
## ALLOCATION SYSTEM FOR HIGHWAY AND TIME SLOT

**Patent number:** JP7245792  
**Publication date:** 1995-09-19  
**Inventor:** MUNAKATA TADAO  
**Applicant:** HITACHI TELECOMM TECH  
**Classification:**  
 - international: H04Q11/04; H04Q3/58  
 - european:  
**Application number:** JP19940059928 19940303  
**Priority number(s):** JP19940059928 19940303

### Abstract of JP7245792

**PURPOSE:** To allocate freely highways and time slots based on the type of a channel system package to be mounted.

**CONSTITUTION:** Available highway and time slot information is stored in channel system packages 13, 17, 19, 20, 21 and a speech circuit is selected in a prescribed timing based on the highway and time slot information. Furthermore, the available highway and time slot information is stored in the channel system packages 13, 17, 19, 20, 21 mounted is stored in a conversion table of a storage device 23 and a central controller 22 controls a time switch 22 based on the conversion table to implement switching control.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-245792

(43)公開日 平成7年(1995)9月19日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 04 Q 11/04 3/58	101	8843-5K 9076-5K	H 04 Q 11/ 04	E

審査請求 未請求 請求項の数1 FD (全11頁)

(21)出願番号 特願平6-59928

(22)出願日 平成6年(1994)3月3日

(71)出願人 000153465  
株式会社日立テレコムテクノロジー  
福島県郡山市字船場向94番地

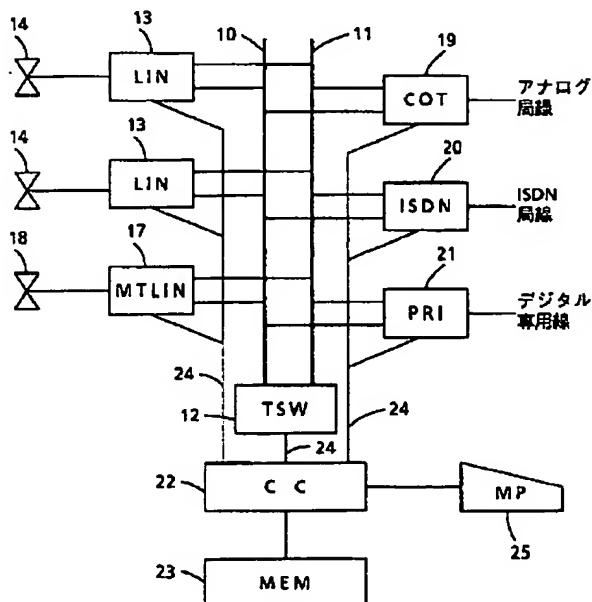
(72)発明者 宗像 忠夫  
福島県郡山市字船場向94番地 株式会社日  
立テレコムテクノロジー内

(54)【発明の名称】 ハイウェイ及びタイムスロットの割付方式

(57)【要約】

【目的】搭載する通話路系パッケージの種別に基づいてハイウェイ及びタイムスロットを自在に割付け可能とする。

【構成】通話路系パッケージ13, 17, 19, 20, 21に使用可能なハイウェイ及びタイムスロット情報を記憶させ、そのハイウェイ及びタイムスロット情報に基づいて所定のタイミングで通話回路を選択する。また、記憶装置23の変換テーブルに搭載されている通話路系パッケージ13, 17, 19, 20, 21が使用可能なハイウェイ及びタイムスロット情報を記憶させておき、中央制御装置22は、その変換テーブルに基づいてタイムスイッチ22を制御し、スイッチング制御を行なう。



## 【特許請求の範囲】

【請求項1】 使用可能なハイウェイ及びタイムスロット情報を記憶する第1の記憶手段と、該第1の記憶手段に記憶されているハイウェイ及びタイムスロット情報に基づいて、上記通話路系パッケージの通話回路を選択する手段と、を各通話路系パッケージに備え、中央制御装置が直接読み出し可能な第2の記憶手段に、搭載されている通話路系パッケージと、該通話路系パッケージとが使用可能なハイウェイ及びタイムスロット情報を対応させて記憶させたことを特徴とするハイウェイ及びタイムスロットの割付方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、時分割電話交換機におけるノンブロック式タイムスイッチに係り、特に、ハイウェイ及びタイムスロットの割付けを搭載するパッケージ種別に基づいて自在に行うハイウェイ及びタイムスロットの割付方式に関する。

## 【0002】

【従来の技術】 従来、時分割電話交換機においてノンブロックのタイムスイッチを提供するために、収容している通話路系パッケージの通話回路毎にハイウェイ及びタイムスロットを固定的に割付ける割付方式が用いられている。

【0003】 図17は、従来のハイウェイの割付方式を説明するハイウェイパターン図であり、4つのハイウェイ(HW0~3)がバックワイヤリングボード(BWB)に配線されている。なお、HW0~3は上り、下りの両ハイウェイを一本の線にまとめて表現している。図17において、タイムスイッチ(TSW)からのHW0は、モジュール0(M0)のパッケージスロット(PKG)0~3にのみ配線されており、同様にHW1は、モジュール1(M1)のパッケージスロット(PKG)4~7に、HW2は、モジュール2(M2)のパッケージスロット(PKG)8~11に、HW3は、モジュール3(M3)のパッケージスロット(PKG)12~15にのみ各々配線されている。

【0004】 図19は、従来のハイウェイ0のタイムスロット構成とパッケージスロットとの関係を示す図であり、このハイウェイは64タイムスロット(TS)で構成されている。従って、HW0のペアラ通信速度は、 $64 \text{ (TS)} \times 64 \text{ (Kbps)} = 4,096 \text{ (Mbps)}$

となる。また、HW0の64TSは16TSずつ4つのグループに分けられ、それらのグループはパッケージスロットの0~3に各々対応している。これにより、パッケージスロットに実装される通話路系パッケージは、通常、最大16TS使用可能のように固定的に割付けられている。

【0005】 なお、ハイウェイ1、2、及び3もハイウ

10

20

30

40

50

エイ0と同様の構成となっており、これらの各TSもグループ化されて、パッケージスロットに対応するよう構成されている。

【0006】 図18は、このような構成において、通話路系パッケージを具体的に実装した場合の例を示した図である。図18においては、PKG0にライン回路パッケージ(LIN)、PKG1に局線トランクパッケージ(COT)、PKG2にISDNトランクパッケージ(ISDN)、PKG4にライン回路パッケージ(LIN)、及びPKG8に4Mディジタルトランクパッケージ(PRI)を各々搭載した構成を示している。

【0007】 図16は、通話路系パッケージの種類とそのパッケージが動作に必要とするタイムスロット数及び実装上必要なパッケージ幅数との対応を示した図であり、COTは8TS、LINは16TS、ISDNは32TS、及びPRIは64TS必要なことを示している。従って、図18に示すように通話路系パッケージを搭載した場合、HW0、1、2は図20、図21、及び図22に示すように固定的に割付けられる。

【0008】 図20はハイウェイ0のタイムスロット割付け状態を示す図である。図20において、PKG0に搭載されたLINには、TS0~15が割付けられ、PKG1に搭載されたCOTには、TS15~31が割付けられる。ここで、COTは必要とするTS数が8TSなので、実際に使用されるTSは、TS16~23となり、TS24~31は未使用となる。また、PKG2はTS32~47が対応しているが、ISDNは動作に32TS必要であるため、ISDNには、TS32~63が割付けられる。これにより、HW0のTS0~63は全て割付けられたので、PKG3には、通話路系パッケージを搭載することができない。

【0009】 図21はハイウェイ1のタイムスロット割付け状態を示す図である。図21において、PKG4に搭載されたLINには、TS0~15が割付けられており、TS16~63は使用されていない。また、PKG5~7は空スロットとなっている。さらに、PRIを搭載する場合、PRIが使用するTS数が64TSであるため、HW1(残り48TS)を使用する他のパッケージスロット(PKG5~7)にPRIを搭載することはできない。従って、PRIはHW3を使用するパッケージスロット(PKG8~11)に搭載する必要がある。

【0010】 図22はハイウェイ2のタイムスロット割付け状態を示す図である。図22において、PKG8に搭載されたPRIには、WH2の全タイムスロットTS0~63が割付けられており、従って、HW2を使用する他のスロット(PKG9~11)に他の通話路パッケージを搭載することができない。

【0011】 以上のように、従来の時分割電話交換機においてノンブロックのタイムスイッチを提供するため、収容している通話路系パッケージの通話回路毎にハ

ハイウェイ及びタイムスロットを固定的に割付ける割付方式を用いていた。

【0012】

【発明が解決しようとする課題】従来のハイウェイ及びタイムスロットの割付方式では、パッケージスロットに割付けしたタイムスロット数と搭載する通話路系パッケージが必要とするタイムスロット数により、未使用のタイムスロット、又は、実装できない搭載エリア（パッケージスロット）が生じるという課題があった。

【0013】これは、近年、デジタル通信の高速化が進み、デジタル通話路系パッケージとアナログ通話路系パッケージとを比較した場合、同一体積比では、デジタル通話路系パッケージの方が専有するタイムスロットが非常に多くなってきているためである。従って、アナログ通話路系パッケージを多く搭載するシステムでは、未使用のタイムスロットが多く発生し、また、デジタル通話路系パッケージを多く搭載するシステムでは、実装できない搭載エリアが多く発生していた。

【0014】本発明の目的は、搭載する通話路系パッケージの種別に基づてハイウェイ及びタイムスロットを自在に割付け可能とし、システムが許容できる最大のハイウェイ及びタイムスロット数まで、通話路系パッケージを搭載可能とするハイウェイ及びタイムスロットの割付方式を提供することにある。

【0015】

【課題を解決するための手段】本発明は、使用可能なハイウェイ及びタイムスロット情報を記憶する第1の記憶手段と、該第1の記憶手段に記憶されているハイウェイ及びタイムスロット情報に基づいて、上記通話路系パッケージの通話回路を選択する手段と、を各通話路系パッケージに備え、中央制御装置が直接読み出しが可能な第2の記憶手段に、搭載されている通話路系パッケージと、該通話路系パッケージとが使用可能なハイウェイ及びタイムスロット情報を対応させて記憶させたことを特徴とする。

【0016】

【作用】上記した構成により、システムが許容できる最大のハイウェイ及びタイムスロット数まで、通話路系パッケージを搭載することができる。従って、これを分散システムに適用すれば、アナログ系主体のシステムでは拡張性に富んだシステムを提供することができ、また、デジタル系主体のシステムではよりコンパクトにシステムを構築することができ、効率良く、経済的にシステムを構築することが可能となる。

【0017】

【実施例】以下、本発明の実施例を図面を参照して詳細に説明する。

【0018】図1は、本発明の時分割電話交換機（PBX）のシステム構成図である。図1において、タイムスイッチ（TSW）12からは上りハイウェイ10と下り

10

20

30

40

50

ハイウェイ11とが延びており、これらハイウェイ10、11には、通話路系パッケージが接続されている。なお、上りハイウェイ10と下りハイウェイ11との各々は、4つのハイウェイで構成されているものとする（ハイウェイ構成の詳細は図2において説明する）。

【0019】搭載されている通話路系パッケージは、アナログ電話機14を収容するライン回路パッケージ（LIN）13、アナログ局線とのインターフェースを行う局線トランクパッケージ（COT）19、ISDN局線とのインターフェースを行うISDNトランクパッケージ（ISDN）20、及び4Mデジタル回線とのインターフェースを行う4Mデジタルトランクパッケージ（PRI）21である。また、それら通話路系パッケージ及びタイムスイッチ12は、制御線24を介してPBX全体を制御する中央制御装置（CC）22に電気的、論理的に接続されており、それらの各装置は、中央制御装置22の制御下で動作している。

【0020】中央制御装置22に接続されている記憶装置（MEM）23は、中央制御装置22がPBX全体を制御するために必要な制御プログラム、局データ、及び各種テーブルを格納しているものである。更に、中央制御装置22には、メンテナンスパネル（MP）25が接続されており、上記した局データの投入は、このメンテナンスパネル25によって行われている。

【0021】図2は、本発明のハイウェイの割付方式を説明するハイウェイパターン図であり、4つの上り及び下りハイウェイ（HW0～3）がバックワイヤリングボード（BWB）に配線されている。なお、HW0～3の各々は、図1に示す上りハイウェイ10と下りハイウェイ11との両ハイウェイを一本の線にまとめて表現している。図2において、タイムスイッチ12からのHW0～3の各々は、モジュール0（M0）のパッケージスロット（PKG）0～3、モジュール1（M1）のパッケージスロット（PKG）4～7、モジュール2（M2）のパッケージスロット（PKG）8～11、及びモジュール3（M3）のパッケージスロット（PKG）12～15に配線されている。

【0022】なお、4つの上り及び下りハイウェイ（HW0～3）の各々は、64タイムスロット（TS）で構成されているものとして以後の説明を行う。従って、これらHWのペアラ通信速度が、全て  $64 \text{ (TS)} \times 64 \text{ (Kbps)} = 4,096 \text{ (Mbps)}$  としている。

【0023】図3は、図1及び図2に示す構成において、通話路系パッケージを具体的に実装した場合の例を示した図である。図3においては、PKG0にライン回路パッケージ（LIN）、PKG1に局線トランクパッケージ（COT）、PKG2にISDNトランクパッケージ（ISDN）、PKG3にライン回路パッケージ

(L I N)、及びPKG 4に4Mディジタルトランクパッケージ(P R I)を各々搭載した構成を示している。

【0024】図4は、本発明に適用する通話路系パッケージのブロック図である。図4において、HW 0~3は、ハイウェイ多重分離回路401に接続されており、これにより、 $16 \times 384 \text{ (Mbps)} = 4.096 \text{ (Mbps)} \times 4 \text{ (HW)}$ のパッケージハイウェイ信号402を構成している。即ち、図5に示すように、HW 0~3がシリアルに結合され、 $265 \text{ (TS)} \times 64 \text{ (Kbps)}$ のハイウェイとして構成されるものである。

【0025】ハイウェイインタフェース回路(HW I/F)403は、パッケージハイウェイ402の信号と通話回路404からの信号とのインタフェースを成すものであり、パッケージハイウェイ402の所定のタイムスロットに通話回路404からの信号を挿入し、また、パッケージハイウェイ402の所定のタイムスロットの信号を抽出し通話回路404に送信している。なお、通話回路404はパッケージの種別に応じた回路であり、その種別に応じて1つ又は複数備えられている。ハイウェイインタフェース回路403と通話回路404との間の通信速度は、通話回路404の種別に応じて定められ、通話回路がライン回路、局線トランク等のアナログ通話路系であれば、 $64 \text{ (Kbps)}$ の通信速度になり、また、通話回路がデジタル通話路系であれば、回線側の通信速度に応じた速度、例えば、 $1.5 \text{ (Mbps)}, 2 \text{ (Mbps)},$ 又は $4 \text{ (Mbps)}$ 等になる。

【0026】カウンタ回路405は、パッケージハイウェイ402からの同期信号(SYNC)に基づいて、 $256 \text{ (TS)}$ 分順次カウントするものであり、このカウント信号は、パッケージハイウェイのタイムスロット位置を検出するために用いられている。

【0027】比較回路(CMP)406は、P BXの中央制御装置22が通話路系パッケージに制御情報を送出する場合に、送出する通話路系パッケージを選択するために用いられるものである。比較回路406の入力端子A0, A1, A2, A3には、予めパックワイヤリングボードに布線されているアドレス信号(パッケージアドレス)が入力され、例えば、パッケージスロットがPK G0であれば、パッケージアドレスとして「0000」が入力される。また、比較回路406の入力端子B0, B1, B2, B3には、P BXの中央制御装置22からの制御線24に含まれるパッケージ選択信号P SEL 0, 1, 2, 3が接続されており、パッケージアドレスとパッケージ選択信号とが一致したとき、このパッケージが選択されたことになり、このとき、パッケージ選択信号P SELがオン状態になる。

【0028】制御装置(MPU)407は、通話路系パッケージ全体を制御しているものである。即ち、パッケージ選択信号P SELがオン状態のときにP BXの中央

制御装置22からの制御線24に含まれる送信信号S D、及び受信信号R Dにより、中央制御装置22とパッケージ制御のための通信がなされ、これにより、中央制御装置22からのオーダーに基づく制御、及び中央制御装置22に対する状態情報の送出制御等を行なう。

【0029】レジスタ408は、通話路系パッケージの通話回路404が使用できるハイウェイ及びタイムスロットを対応させてテーブルとして記憶するものであり、このテーブルの構築は、制御装置407が中央制御装置22から受信したテーブル構築情報に基づき、制御装置407の制御下で行われる。

【0030】通話回路選択制御回路409は、カウンタ回路405からのカウント信号により、パッケージハイウェイのタイムスロット位置を常に検出しており、この検出とレジスタ408に構築されているテーブルとに基づき、通話路系パッケージの通話回路404が使用できるハイウェイ及びタイムスロットのタイミングに通話回路選択信号CCT, SEL 0~nをオン状態にするものである。即ち、通話回路選択信号CCT, SEL 0~nにより、通話回路404を選択して、選択した通話回路とハイウェイインタフェース回路403との間で通話信号の送受信が可能な状態にしている。

【0031】以上のように、通話路系パッケージが構成されている。

【0032】次に、本発明におけるハイウェイ及びタイムスロットの割付け処理動作について説明する。

【0033】図6は、ハイウェイ及びタイムスロットの割付処理ルーチンを示すフローチャートである。まず、工事者又は保守者がシステム構成に基づいて、局データをメンテナンスパネル25から入力する(S 601)。即ち、パッケージスロットに実装した通話路系パッケージの種別、このパッケージを使用するまでの定義付等のデータを設定する。すると、中央制御装置22は、入力された局データから実装された通話路系パッケージ種別とこのパッケージの収容位置(PKG No.)を判別し(S 602)、それら各パッケージが動作に必要なタイムスロット数を判別する(S 603)。これは、記憶装置23内に記憶されている図16に示すようなテーブルにより行われる。

【0034】次に、中央制御装置22は、S 603により得た情報により、実装されている各通話路系パッケージの各通話回路に対して使用可能なハイウェイ及びタイムスロットを自動的に割付けし(S 605)、これにより、各通話路系パッケージの各通話回路No.とハイウェイ及びタイムスロットNo.との対応関係を示す変換テーブルを生成する(S 605)。図7は、図3に示すように通話路系パッケージが実装された場合の変換テーブルの構成を示す図である。図7において、例えば、PKG 0に実装されているL I Nは、HW 0のTS 0~15が割付けられ、通話回路0はHW 0のTS 0が使用可

能であることを示している。同様に、PKG 2に実装されているISDNの通話回路15は、HW0のTS54及びTS55が割付けられ、このタイムスロットが使用可能となる。

【0035】以上のように変換テーブルを構成すると、次に、中央制御装置22は、各通話路系パッケージに対して、それら各通話路系パッケージの通話回路に対して割付けたハイウェイ及びタイムスロットNo.を通知する(S606)。即ち、中央制御装置22は、変換テーブルから各通話路系パッケージに割付けられたハイウェイ及びタイムスロットNo.を読み出し、これを制御線24を介して各通話路系パッケージに送出する。

【0036】一方、各通話路系パッケージの制御装置407は、中央制御装置22から受信したハイウェイ及びタイムスロットNo.をレジスタ408に書き込み、通話回路と通話回路が使用可能なハイウェイ及びタイムスロットNo.とを対応させて記憶させる。図8は、PKG0に実装されているLINのレジスタに記憶されている内容の構成を示す図であり、通話回路0は、HW0のTS0が使用可能であることを示している。同様に、図9はPKG1に実装されているCOTのレジスタに記憶されている内容の構成を示す図、図10はPKG2に実装されているISDNのレジスタに記憶されている内容の構成を示す図、図11はPKG3に実装されているLINのレジスタに記憶されている内容の構成を示す図、及び図12はPKG4に実装されているPRIのレジスタに記憶されている内容の構成を示す図である。このように、各通話路系パッケージのレジスタに通話回路と通話回路が使用可能なハイウェイ及びタイムスロットNo.とが対応付けられて、記憶される。

【0037】次に、以上のように各通話路系パッケージのレジスタに通話回路と通話回路が使用可能なハイウェイ及びタイムスロットNo.とを対応させて記憶させた後の、通話路系パッケージの動作について説明する。

【0038】図13及び図14は、図3に示すように通話路系パッケージを実装した状態における、各通話路系パッケージの動作を説明する図であり、通話回路選択信号(CCT. SEL)の送出タイミングを示している。ここでは、PKG0のLINとPKG2のISDNとを例にして具体的動作を説明する。

【0039】PKG0に実装されているLINのレジスタ408には、前述したように図8に示す情報が記憶されている。LINの通話回路選択制御回路409は、カウンタ回路405から受信する256のカウント信号とレジスタ408に記憶されている情報により、各通話回路が使用可能なHW及びTSのタイミングで各通話回路に対して「オン」信号を出力する。図13において、LINの通話回路0を制御する通話回路選択信号0(CCT. SEL0)は、PKG HW402がHW0で、かつ、TSNo.がTS0の時、「オン」状態になる。こ

のとき、通話回路0は動作状態になり、通話回路0とハイウェイインターフェース回路403との間が論理的に接続され、PCM符号化された通信信号が送受信される。即ち、ハイウェイインターフェース回路403は、HW0のTS0に通話回路0から受信した信号を載せると共に、PKG HW402のHW0のTS0の通信信号を通話回路0に送出する。

【0040】同様に、HW0のTS1～15のタイミングに対応させて、通話回路1～15に順次通話回路選択信号(CCT. SEL1～15)を出力する制御を行い、レジスタ408に記憶されている各通話回路が使用可能なHW及びTSのタイミングに応じて通話回路0～15を制御している。

【0041】また、PKG2に実装されているISDNのレジスタ408には、前述したように図10に示す情報が記憶されている。図13において、ISDNの通話回路0を制御する通話回路選択信号0(CCT. SEL0)は、PKG HW402がHW0で、かつ、TSNo.がTS24及びTS25(ISDNは1つの通話回路が2つのタイムスロットを必要とする)を示している)の時、「オン」状態になる。このとき、通話回路0は動作状態になり、通話回路0とハイウェイインターフェース回路403との間が論理的に接続され、PCM符号化された通信信号が送受信される。

【0042】同様に、HW0のTS24～55のタイミングに対応させて、通話回路1～15に順次通話回路選択信号(CCT. SEL1～15)を出力する制御を行い、レジスタ408に記憶されている各通話回路が使用可能なHW及びTSのタイミングに応じて通話回路0～15を制御している。

【0043】次に、中央制御装置22がタイムスイッチ12を制御する際の動作について説明する。図15は、中央制御装置22がタイムスイッチ12を制御する際の動作を示すフローチャートである。図15において、まず、中央制御装置22は、制御するPKGNo.を抽出し(S1501)、次に、そのPKGNo.のうちの制御すべき通話回路の番号(CCTNo.)を抽出する(S1502)。次に、図7に示す変換テーブルを参照し、PKG/CCTNo.に対応するHW/TSNo.を検索する(S1503)。これにより、アクセスするHW/TSNo.を抽出し(S1504)、この抽出したHW/TSNo.に基づいて、所望のタイムスイッチ制御を行う(S1505)。このように、タイムスイッチ制御を行う場合、制御する通話回路が使用するHW/TSNo.を変換テーブルを参照して認識し、この後、タイムスイッチを制御する。

【0044】以上のように、本発明のハイウェイ及びタイムスロットの割付方式により、ハイウェイ及びタイムスロット、並びにパッケージスロットを無駄なく、効率良く使用することで、電話交換機の小型化を図ることが

できる。

【0045】なお、図3に示すように通話路系パッケージが実装されている状態において、新たに、図1に示す多機能電話機18を増設する場合、多機能電話用ラインパッケージ(MTLIN)17を新たにパッケージスロットに実装する必要がある。この場合、MTLIN17を図3に示すパッケージスロット5(PKG5)に実装することができる。即ち、メンテナンスパネル25から新たにMTLIN17の局データを投入された場合、中央制御装置22は、その投入された局データに基づいて図7に示す変換テーブルを再構築し、MTLIN17に割付けたHW/TSNNo.に関する情報をMTLIN17に送出することで、容易に行える。

【0046】従って、本発明によれば、システムの拡張、変更に対し、容易に、かつ、柔軟に対応することができる電話交換機を提供することができる。

【0047】なお、本実施例においては、4つのハイウェイを有する場合について説明したが、これは、1つのハイウェイであつても良い。即ち、タイムスロットに関する情報のみを記憶装置23変換テーブル及び通話路系パッケージのレジスタ408に記憶させておくことで容易に実現できる。

【0048】また、本実施例においては、4つのハイウェイを通話路系パッケージ内で1つのハイウェイのように多重化及び分離化しているが、タイムスイッチ12内で多重化及び分離化するようにし、多重化したハイウェイを通話路系パッケージに直接提供することもできる。この場合、通話路系パッケージの多重分離回路401は省略でき、タイムスイッチ12内の1つの多重分離回路のみで電話交換機を構成できる。

【0049】

【発明の効果】本発明によれば、搭載する通話路系パッケージの種別に基づてハイウェイ及びタイムスロットを自在に割付けすることが可能となり、システムが許容できる最大のハイウェイ及びタイムスロット数まで通話路系パッケージを搭載することができる。

【0050】従って、この方式を電話交換機に適用することで、電話交換機の小型化が図れ、かつ、電話交換システムの拡張に柔軟に対応できるという、顕著な作用効果を達成できる。

【図面の簡単な説明】

【図1】本発明の時分割電話交換機のシステム構成図である。

【図2】本発明のハイウェイの割付方式を説明するハイウェイパターン図である。

【図3】通話路系パッケージを具体的に実装した場合の例を示した図である。

【図4】本発明に適用する通話路系パッケージのブロック図である。

【図5】本発明に適用する通話路系パッケージの動作を説明する図である。

【図6】本発明のハイウェイ及びタイムスロットの割付処理ルーチンを示すフローチャートである。

【図7】本発明の変換テーブルの構成を示す図である。

【図8】ライン回路パッケージのレジスタに記憶されている内容の構成を示す図である。

【図9】局線トランクパッケージのレジスタに記憶されている内容の構成を示す図である。

【図10】ISDNトランクパッケージのレジスタに記憶されている内容の構成を示す図である。

【図11】ライン回路パッケージのレジスタに記憶されている内容の構成を示す図である。

【図12】4Mディジタルトランクパッケージのレジスタに記憶されている内容の構成を示す図である。

【図13】各通話路系パッケージの動作を説明する図である。

【図14】各通話路系パッケージの動作を説明する図である。

【図15】本発明のタイムスイッチ制御ルーチンを示すフローチャートである。

【図16】各通話路系パッケージが動作に必要とするタイムスロット数を示す図である。

【図17】従来のハイウェイの割付方式を説明するハイウェイパターン図である。

【図18】従来の通話路系パッケージを具体的に実装した場合の例を示した図である。

【図19】従来のハイウェイ0のタイムスロット構成とパッケージスロットとの関係を示す図である。

【図20】従来のハイウェイ0のタイムスロット割付け状態を示す図である。

【図21】従来のハイウェイ1のタイムスロット割付け状態を示す図である。

【図22】従来のハイウェイ2のタイムスロット割付け状態を示す図である。

【符号の説明】

10・・・上りハイウェイ

11・・・下りハイウェイ

12・・・タイムスイッチ

40 13・・・ライン回路パッケージ

14・・・アナログ電話機

17・・・多機能電話機

18・・・多機能電話機用ライン回路パッケージ

19・・・局線トランクパッケージ

20・・・ISDNトランクパッケージ

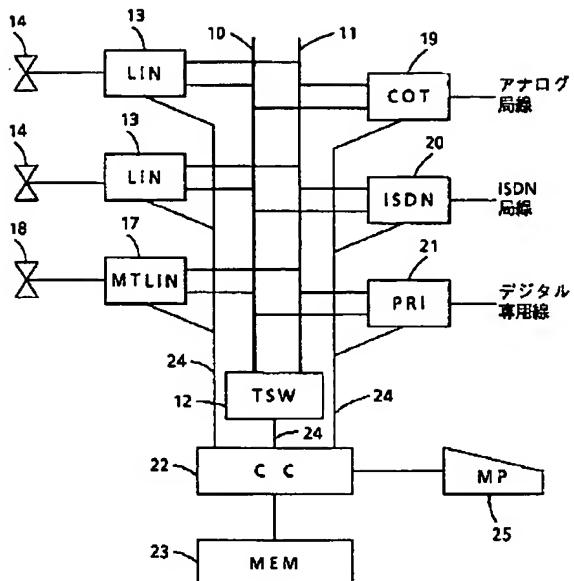
21・・・4Mディジタルトランクパッケージ

22・・・中央制御装置

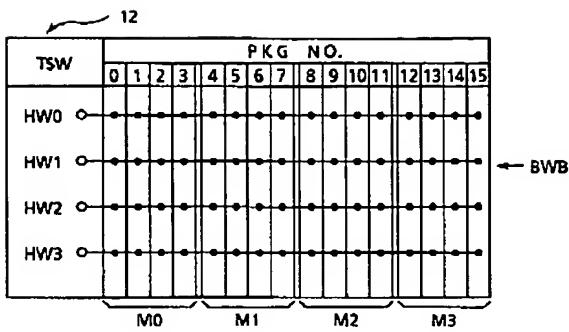
23・・・記憶装置

25・・・メンテナンスパネル

【図1】



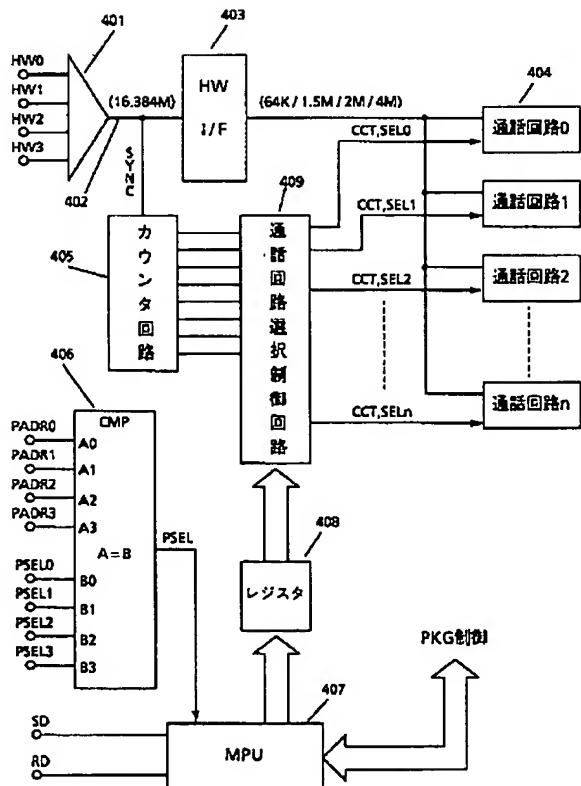
【図2】



【図3】

M3	PKG 12	PKG 13	PKG 14	PKG 15
	HW0~3			
M2	PKG 8	PKG 9	PKG 10	PKG 11
	HW0~3			
M1	PKG 4	PKG 5	PKG 6	PKG 7
	HW0~3			
M0	PKG 0	PKG 1	PKG 2	PKG 3
	LIN	COT	ISDN	LIN
	HW0~3			

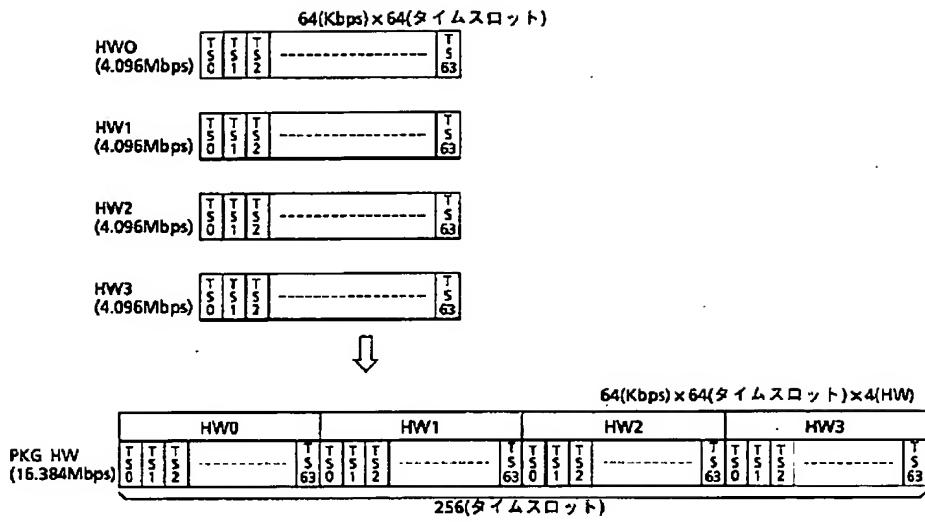
【図4】



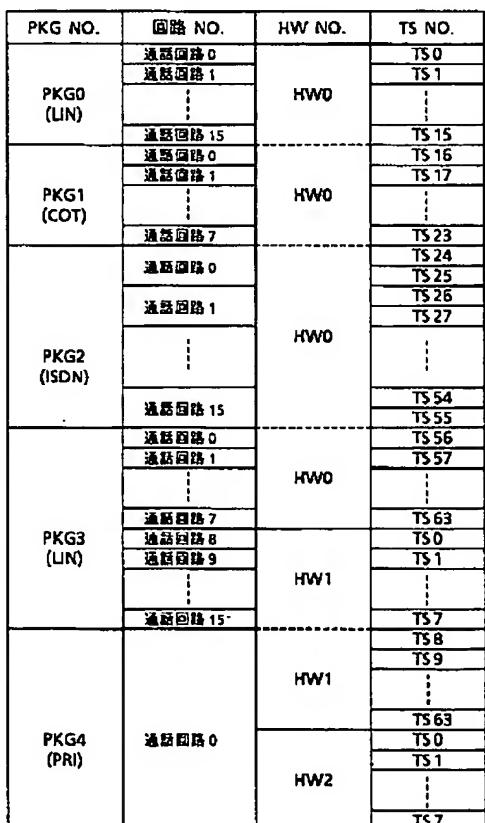
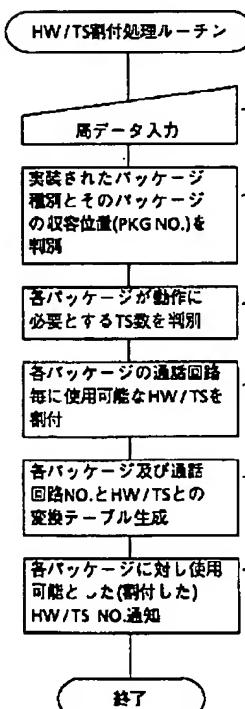
【図8】

回路 NO.	HW NO.	TS NO.
通話回路 0	HW0	TS 0
通話回路 1		TS 1
通話回路 2		TS 2
通話回路 3		TS 3
通話回路 4		TS 4
通話回路 5		TS 5
通話回路 6		TS 6
通話回路 7		TS 7
通話回路 8		TS 8
通話回路 9		TS 9
通話回路 10		TS 10
通話回路 11		TS 11
通話回路 12		TS 12
通話回路 13		TS 13
通話回路 14		TS 14
通話回路 15		TS 15

【図5】



【図6】



【図7】

PKG1	回路 NO.	HW NO.	TS NO.
	通話回路 0	HW0	TS 16
	通話回路 1		TS 17
	-----		TS 18
	通話回路 2		TS 19
	通話回路 3		TS 20
	通話回路 4		TS 21
	通話回路 5		TS 22
	通話回路 6		TS 23
	通話回路 7		

【図10】

PKG2	回路 NO.	HW NO.	TS NO.
	通話回路 0	HW0	TS 24
	通話回路 1		TS 25
	-----		TS 26
	通話回路 2		TS 27
	-----		TS 28
	通話回路 1		TS 29
	-----		TS 30
	通話回路 2		TS 31
	-----		TS 32
	通話回路 1		TS 33
	-----		TS 34
	通話回路 2		TS 35
	-----		TS 36
	通話回路 1		TS 37
	-----		TS 38
	通話回路 2		TS 39

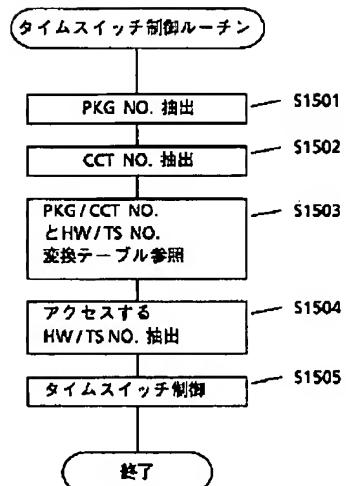
【図11】

回路 NO.	HW NO.	TS NO.
通話回路 0	HW0	TS 56
通話回路 1		TS 57
通話回路 2		TS 58
通話回路 3		TS 59
通話回路 4		TS 60
通話回路 5		TS 61
通話回路 6		TS 62
通話回路 7		TS 63
通話回路 8		TS 0
通話回路 9		TS 1
通話回路 10		TS 2
通話回路 11		TS 3
通話回路 12		TS 4
通話回路 13		TS 5
通話回路 14		TS 6
通話回路 15		TS 7

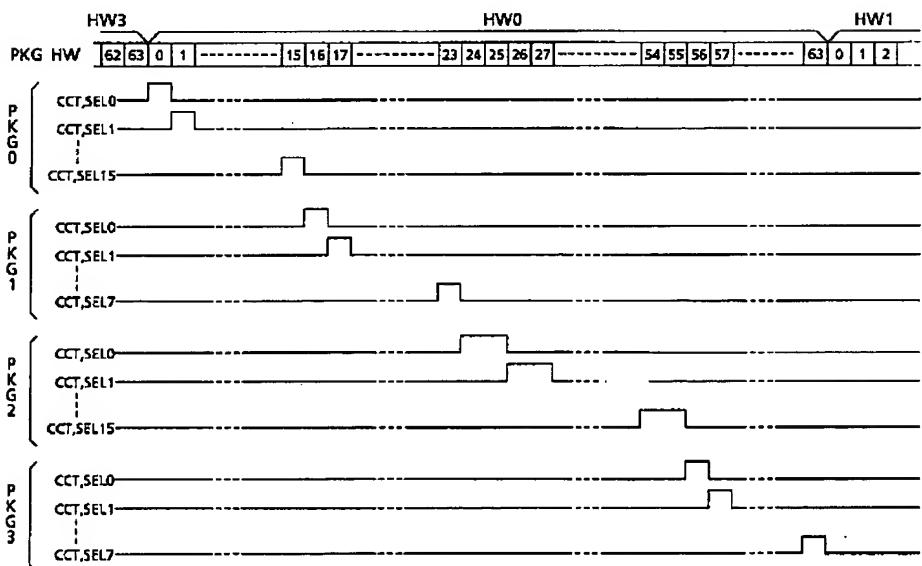
【図12】

回路 NO.	HW NO.	TS NO.
通話回路 0	HW1	TS 8
		TS 9
		TS 10
		TS 11
		TS 63
		TS 0
		TS 1
		TS 2
		TS 3
		TS 4
		TS 5
		TS 6
		TS 7

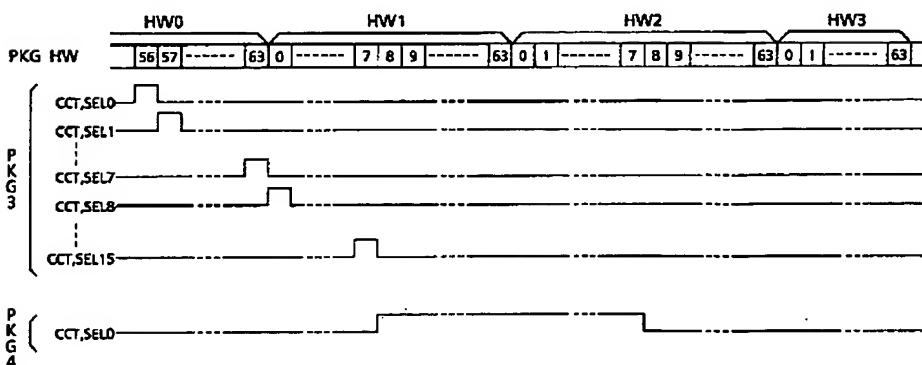
【図15】



【図13】



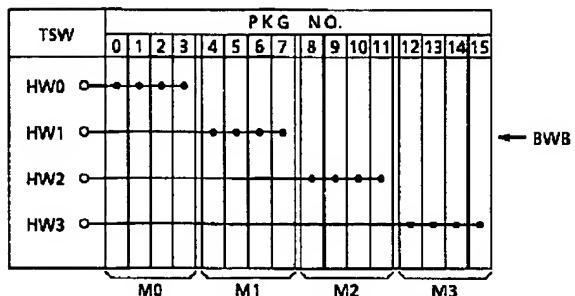
【図14】



【図16】

品名	算出する タイムスロット数	必要とする パッケージ幅数
COT	8	1
LIN	16	1
ISDN	32	1
PRI	64	1

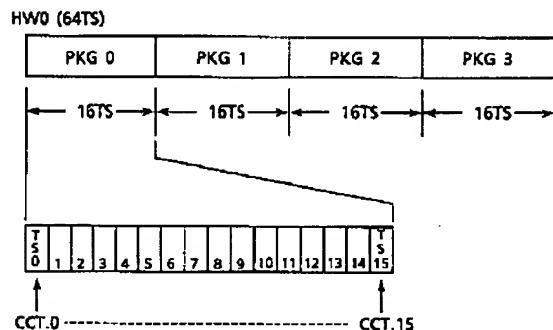
【図17】



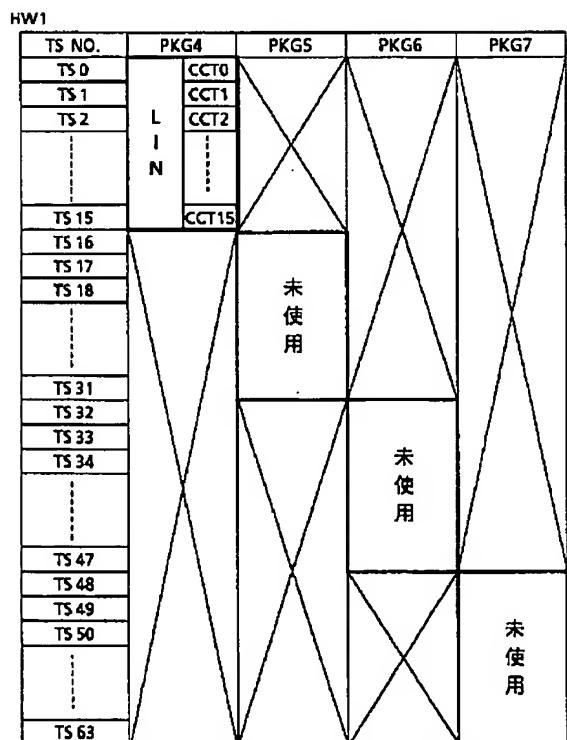
【図18】

M3	PKG 12	PKG 13	PKG 14	PKG 15
HW3				
M2	PKG 8	PKG 9	PKG 10	PKG 11
PRI				
HW2				
M1	PKG 4	PKG 5	PKG 6	PKG 7
LIN				
HW1				
M0	PKG 0	PKG 1	PKG 2	PKG 3
LIN				
HW0				

【図19】



【図21】



【図20】

HW0

TS NO.	PKG0	PKG1	PKG2	PKG3
TS 0		CCT0		
TS 1		CCT1		
TS 2	L	CCT2		
TS 3		CCT3		
TS 15	N	CCT15		
TS 16			CCT0	
TS 17			CCT1	
TS 18			CCT2	
TS 23			CCT7	
TS 24				
TS 25				
TS 31				
TS 32				
TS 33				
TS 34				
TS 35				
TS 36				
TS 37				
TS 62				
TS 63				

【図22】

HW2

TS NO.	PKG8	PKG9	PKG10	PKG11
TS 0	CCT0			
1	1			
2	2			
3	3			
4	4			
5	5			
6	6			
7	7			
8	P	8		
9	R	9		
10	I	10		
11		11		
12		12		
13		13		
57		57		
58		58		
59		59		
60		60		
61		61		
62		62		
TS 63		CCT63		